

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-202719
(43)Date of publication of application : 22.08.1988

(51)Int.CI. G02F 1/133
G09F 9/30
G09G 3/36
H01L 27/12

(21)Application number : 62-036988
(22)Date of filing : 19.02.1987

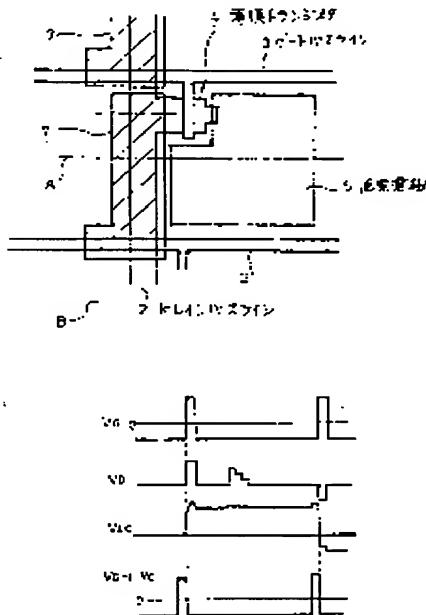
(71)Applicant : FUJITSU LTD
(72)Inventor : ICHIMURA TERUHIKO
KAWAI SATORU
NASU YASUHIRO
MATSUMOTO TOMOTAKA
TATSUOKA KOICHI

(54) THIN FILM TRANSISTOR MATRIX

(57)Abstract:

PURPOSE: To prevent voltage fluctuation of picture element electrodes by the potential of a drain bus line by forming a conductive film via a protective insulating film on the drain bus line.

CONSTITUTION: Since the scanning sequence of the conductive film 7 is connected to a gate bus line 3' of the previous position, the potential V_C thereof is kept at the low potential equal to the potential V_{G-1} of the gate bus line 3' of the previous position when a corresponding gate electrode is selected. The conductive film 7, therefore, acts as a sealing film between the picture element electrode 5 and the drain bus line 2 and the capacity CDS between both is lost of the capacity component CDS1 between the front faces out of the two capacity components and is only the capacity component CDS2 between the rear faces. The size of these two capacity components is larger with CDS1 the capacity component of which is about 3 times the capacity component of CDS2 and, therefore, the capacity CDS between the picture element electrode 5 and the drain bus line 2 is extremely small. The influence of the potential V_D of the line 2 on the potential V_{LC} of the picture element electrode 5 is consequently extremely lessened, by which the undesirable voltage fluctuation is suppressed and the good image quality is obtnd.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIN FILM TRANSISTOR MATRIX

Patent Number: JP63202719
Publication date: 1988-08-22
Inventor(s): ICHIMURA TERUHIKO; others: 04
Applicant(s): FUJITSU LTD
Requested Patent: JP63202719
Application Number: JP19870036988 19870219
Priority Number(s):
IPC Classification: G02F1/133 ; G09F9/30 ; G09G3/36 ; H01L27/12
EC Classification:
Equivalents: JP2070342C, JP7111519B

Abstract

PURPOSE: To prevent voltage fluctuation of picture element electrodes by the potential of a drain bus line by forming a conductive film via a protective insulating film on the drain bus line.

CONSTITUTION: Since the scanning sequence of the conductive film 7 is connected to a gate bus line 3' of the previous position, the potential VC thereof is kept at the low potential equal to the potential VG-1 of the gate bus line 3' of the previous position when a corresponding gate electrode is selected. The conductive film 7, therefore, acts as a sealing film between the picture element electrode 5 and the drain bus line 2 and the capacity CDS between both is lost of the capacity component CDS1 between the front faces out of the two capacity components and is only the capacity component CDS2 between the rear faces. The size of these

ぱるも
01.9.25
特許事務所

A199070901W0 (FY)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭63-202719

⑫ Int. Cl.

G 02 F 1/133
G 09 F 9/30
G 09 G 3/36

識別記号

327
338

府内整理番号

7370-2H
C-7335-5C
8621-5C

⑬ 公開 昭和63年(1988)8月22日

※審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタマトリクス

⑮ 特願 昭62-36988

⑯ 出願 昭62(1987)2月19日

⑰ 発明者 市村 照彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 発明者 川井 悟 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 発明者 那須 安宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 発明者 松本 友孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 出願人 富士通株式会社

⑯ 代理人 弁理士 井桁 貞一

最終頁に続く

明細書

1. 発明の名称

薄膜トランジスタマトリクス

2. 特許請求の範囲

透明絕縁性基板(1) 上にマトリクス状に配列された西素対応の薄膜トランジスタ(4) 及び該薄膜トランジスタに駆動される表示セルの西素電極(5) と、前記西素の行方向に配設されたゲートバスライン(3, 3') 及び列方向に配設されたドレンバスライン(2) とを具備する薄膜トランジスタマトリクスにおいて、

前記ドレンバスライン(2) 上に保護絶縁膜(6) を介して導電膜(7) を形成し、且つ該導電膜を走査順位が前位のゲートバスライン(3') と接続してシールド膜としたことを特徴とする薄膜トランジスタマトリクス。

3. 発明の詳細な説明

(概要)

本発明は、薄膜トランジスタ (TFT) マトリ

クス液晶表示装置において、ドレンバスラインの電圧が西素電極に影響することを防ぐため、ドレンバスライン上に保護絶縁膜を介して導電膜を形成したことにより、西素電極の電位がドレンバスラインの電圧に影響されないようにしたるものである。

(産業上の利用分野)

本発明は、TFTマトリクス液晶表示装置の構造、特にTFTマトリクスに関する。

(従来の技術)

鮮明な西像を得るには西素電極の電圧を正確に制御する必要がある。しかしバスラインとの容量結合が生じ、西素電極の電圧が変動してしまう。このため、西素電極の電圧変動を抑える構造が必要である。

第3図(a)は従来のTFTマトリクスの構造を示す図で、図中、1はガラス基板、2はドレンバスライン、3はゲートバスライン、4はTFT、

5は西素電極である。同図に示すように、従来のTFTマトリクスは、ドレインバスライン2と西素電極5とが、接近して配置された構造を有する。

そのため、西素電極5とドレインバスライン2との間に容量 C_{ds} が生じる。

この容量 C_{ds} は、同図(a)に見られる如く、西素電極5及びドレインバスライン2表面同士の間の容量成分 C_{dss} と裏面同士の間の容量成分 C_{oss} とからなり、従って $C_{ds} = C_{dss} + C_{oss}$ で表される。

上記容量 C_{ds} によってドレインバスライン2と西素電極5とが結合され、ドレインバスライン2の電圧変化によって、西素電極5の電位が容易に変動する。

〔発明が解決しようとする問題点〕

上述したように従来のTFTマトリクスの構成では、西素電極5とドレインバスライン2との間の容量 C_{ds} に二つの容量成分を含むので、その値が大きくなり、そのため西素電極5の電位がドレ

電極が選択された時、その電位 V_s は同図(a)に示すように前位のゲートバスライン3'の電位 V_{g-1} と等しく、低電位に保たれる。従って導電膜7は西素電極5とドレインバスライン2間のシールド膜として働き、両者間の容量 C_{ds} は、上記二つの容量成分のうち表面同士の間の容量成分 C_{dss} がなくなり、裏面同士の間の容量成分 C_{oss} のみとなる。

この二つの容量成分の大きさは、 C_{dss} の方が大きく、 C_{oss} の凡そ3倍程度あるので、西素電極5とドレインバスライン2間の容量 C_{ds} は非常に小さくなり、そのため、西素電極5の電位 V_s に対するドレインバスライン2の電位 V_d の影響は非常に小さくなり、豊ましくない電圧変動が抑制され、良好な画質が得られる。

〔実施例〕

以下第2図(a)～(h)により本発明の一実施例を、その製造工程とともに説明する。なお、第2図は前記第1図(a)の一点横線Bで示す部分の断面図で

イン電圧の変化によって容易に影響されるという問題がある。

本発明の目的は、西素電極とドレインバスラインとの間の容量を減少させ、ドレインバスラインの電位による西素電極の電圧変動を防止することにある。

〔問題点を解決するための手段〕

本発明においては、第1図(a)、(b)に示すように、透明絶縁性基板1上に形成されたドレインバスライン2の上に、保護絶縁膜6を介して導電膜7を形成するとともに、この導電膜7を、走査順位が当該液晶セルの一つ前の順位を有するゲートバスラインに接続して、上記導電膜7をシールド膜とした。なお上記第1図(a)は、同図(b)の二点横線Aで示す部分の断面図である。

〔作用〕

上記導電膜7は走査順位が前位のゲートバスライン3'に接続されているため、対応するゲート

ある。

先ず同図(b)に示すように、ガラス基板1上に、ドレインバスライン2及びゲートバスライン3を選択的に形成する。

次いで同図(b)に示すように、その上に保護絶縁膜6を形成する。

次いで同図(b)に示す如く、ゲートバスライン3上に開口を有するレジスト膜8を形成する。

次いで同図(b)に示すように、上記レジスト膜8をマスクとして保護絶縁膜6を選択的に除去して開口9を形成した後、上記マスクとして用いたレジスト膜8を除去する。

次いで同図(b)に示す如く、上記開口9上を含む保護絶縁膜6上に、導電膜7を形成する。

次いで同図(b)に示す如く、上記導電膜7上に該導電膜7のバターニング用のレジスト膜10を形成する。

次いで同図(b)に示すように、上記レジスト膜10をマスクとして導電膜7の露出部を選択的に除去して、前記第1図(a)に見られる如く、導電膜を各

西素電極5対応に分離するとともに、該分離された導電膜7を、走査順位が対応する西素の前位の西素のゲートバスライン3'に接続する。この後レジスト膜10を除去する。

以上のようにして得られたTFTマトリクスは、前述したように、ドレインバスライン2の各西素に対応する部分、即ち該西素電極5に対応するドレイン電極上を、保護絶縁膜6を介して導電膜7が被覆し、この導電膜7は、走査順位が前位の西素に対応するゲートバスライン3'に接続されている。このため、走査時に当該西素が選択された時には、対応する導電膜7は、直前に走査が終了し、低電位となったゲートバスライン3'の電位 V_{G-1} に保たれ、当該西素の走査が終了する直前までこの電位に保持される。従って、当該西素電極5とドレインバスライン2間は導電膜7によってシールドされていることとなり、西素電極5の電位 V_{Lc} に対してドレインバスライン2の電位 V_D の変動による影響を受けることがなく、良好な画質が得られる。

なお本発明は、スタガード型及び逆スタガード型TFTマトリクスの何れにも適用できる。

【発明 効果】

以上説明した如く本発明によれば、容量結合による西素電極の電圧変動を抑制することができ、鮮明な画像を得るためにこまかに電圧制御が可能となる。

4. 図面の簡単な説明

第1図(a)～(c)は本発明の原理説明図、

第2図(a)～(d)は本発明実施例の説明図、

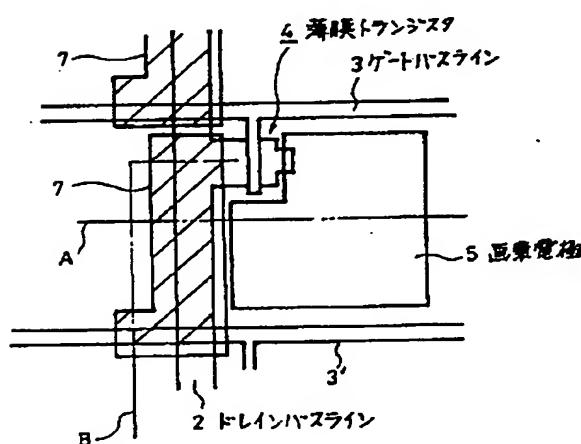
第3図(a), (b)は従来のTFTマトリクス説明図である。

図において、1は絶縁性基板、2はドレインバスライン、3, 3'はゲートバスライン、4はTFT、5は西素電極、6は保護絶縁膜、7は導電膜を示す。

代理人弁理士 井桁 貞一



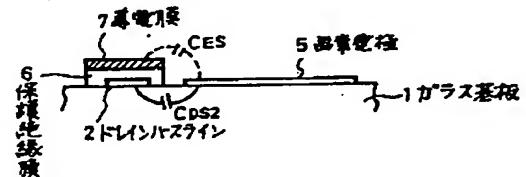
(a)



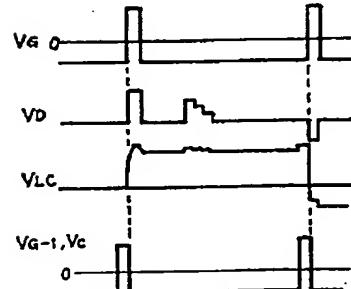
本発明の原理説明図

第1図

(b)



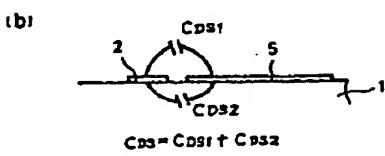
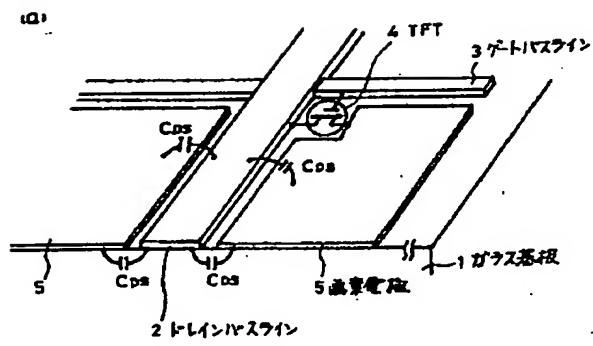
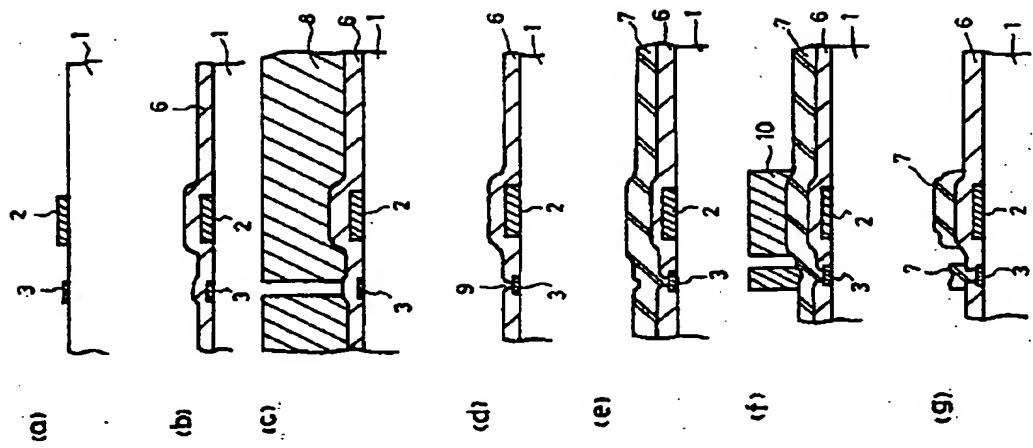
(c)



本発明の原理説明図

第1図

本発明一実施例説明図
第2図



従来のTFTマトリクス説明図

第3図

第1頁の続き

⑤Int.C1.1
H 01 L 27/12

識別記号

厅内整理番号
7514-5F

⑥発明者 立岡 浩一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内